



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 57 873.7

Anmeldetag: 11. Dezember 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Dynamische Speicherzelle und Verfahren zur
Herstellung derselben

IPC: H 01 L 27/108

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 09. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, consisting of a stylized 'L' shape followed by a horizontal line.

Hoß

Patentanwälte · Postfach 710867 · 81458 München
Infineon Technologies AG
St.-Martin-Str. 53

81669 München

PATENTANWÄLTE

European Patent Attorneys
European Trademark Attorneys

Fritz Schoppe, Dipl.-Ing.
Tankred Zimmermann, Dipl.-Ing.
Ferdinand Stöckeler, Dipl.-Ing.
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0
Telefax/Facsimile 089/790 22 15
Telefax/Facsimile 089/74996977

e-mail: szsz_iplaw@t-online.de

**Dynamische Speicherzelle und Verfahren zur Herstellung
derselben**

Beschreibung

Dynamische Speicherzelle und Verfahren zur Herstellung derselben

5

Die vorliegende Erfindung bezieht sich auf Halbleiterspeicherelemente und deren Herstellung, und insbesondere auf dynamische Halbleiterspeicherzellen, wie sie beispielsweise für DRAM-Speicher eingesetzt werden, und auf deren Herstellung.

10

Dynamische Speicherzellen bestehen üblicherweise aus einem sogenannten Auswahl- bzw. Zugriffstransistor und einem Speicherkondensator. In den Fig. 4a und 4b ist ein schematischer Querschnitt einer technischen Realisierung einer im Stand der Technik bekannten dynamischen Speicherzelle mit Grabenkondensator und ein elektrisches Ersatzschaltbild dieser Speicherzelle dargestellt. Die Bezugszeichen in beiden Darstellungen bezeichnen die einzelnen Schaltungselemente und die jeweilige örtliche Zuordnung der einzelnen Schaltungselemente bei der in einem Halbleiter-Chip integrierten Speicherzelle.

15

20

Wie aus Fig. 4a ersichtlich ist, weisen dynamische Speicherzellen, wie z. B. DRAM-Speicherzellen, zwei Hauptbestandteile auf, nämlich einen Speicherkondensator 54, der Ladung speichert, und einen Zugriffstransistor 52, der die Ladung in den Speicherkondensator 54 hinein und aus demselben heraus überträgt. Der Speicherkondensator 54 kann ein in das Halbleitersubstrat geätzter Grabenkondensator sein.

25

30

Die in Fig. 4b beispielhaft dargestellte Speicherzelle 50 gemäß dem Stand der Technik, wie sie beispielsweise in dem Buch „Technologie Hochintegrierter Schaltungen“ von D. Widmann, H. Mader und H. Friedrich, 2. Auflage, in Kapitel 8.4.2, auf S. 290-293 dargestellt ist, weist einen Zugriffstransistor 52 und einen Grabenkondensator 54 auf.

35

Der Zugriffstransistor 52 umfasst einen Gate-Anschluss 52a, einen Drain-Anschluss 52b, einen Source-Anschluss 52c und einen Bulk-Anschluss 52d. Der Grabenkondensator 54 weist einen ersten Anschluss 54a und einen zweiten Anschluss 54b auf. Der Gate-Anschluss 52a des Zugriffstransistors 52 ist mit einer Wortleitung 56 verbunden. Der Drain-Anschluss 52b des Zugriffstransistors 52 ist mit einer Bit-Leitung 58 verbunden. Der Source-Anschluss 52c des Zugriffstransistors 52 ist mit dem ersten Anschluss 54a des Grabenkondensators 54 verbunden, wobei der zweite Anschluss 54b des Grabenkondensators 54 als gemeinsame Kondensatorplatte wirksam ist.

Um nun Daten in die Speicherzelle 50 zu schreiben, wird eine vorbestimmte Spannung an die Wortleitung 56 angelegt, so dass der mit der Wortleitung 56 verbundene Zugriffstransistor 52 leitend wird. Damit wird die durch die Bit-Leitung 58 zugeführte Ladung in dem Grabenkondensator 54 gesammelt.

Beim Lesen von Daten wird wiederum eine vorbestimmte Spannung an die Wortleitung 56 angelegt, um den Zugriffstransistor 52 durchzuschalten, so dass die in dem Grabenkondensator 54 gespeicherte Ladung auf die Bit-Leitung 58 ausgelesen werden kann.

Im folgenden wird nun Bezug nehmend auf Fig. 4b eine beispielhafte Realisierung einer dynamischen Speicherzelle 50 mit Grabenkondensator 54, d. h. insbesondere ein Grabenkondensator mit vergrabener Platte (buried plate trench capacitor), in einem Halbleiter-Chip und deren Herstellung mit verallgemeinerten und vereinfachten Begriffen erläutert.

In einem als Ausgangsmaterial dienenden, p-dotierten Einkristall-Siliziumsubstrat 60 wird ein Graben 62 (trench) beispielsweise durch ein anisotropes Plasmaätzen gebildet. Daraufhin wird eine dünne ONO-Dielektrikumschicht 64 (ONO = Oxid-Nitrid-Oxid) in dem tiefen Graben 62 gebildet, wobei diese dielektrische Schicht die Funktion des Dielektrikums

zwischen den Elektroden 54a, 54b des Plattenkondensators 54 übernimmt. Daraufhin wird der Graben 62 mit einem Polysilizium-Material oder einen hochdotierten n^+ -Typ-Siliziummaterial aufgefüllt, um die eine Kondensatorelektrode 54a zu bilden, wobei das die ONO-Dielektrikumschicht 64 umgebende Halbleitermaterial die zweite Kondensatorelektrode 54b bildet.

In dem p-dotierten Substratmaterial 60 wird nun durch eine Implantation eine sogenannte vergrabene Platte 66 („buried plate“) gebildet, die den Graben 62 vollständig umgibt. Über der vergrabenen Platte 66 wird bis etwa in die Tiefe des Oxidkragens 64a eine p-Typ-Wanne 68 implantiert, die als der p-Typ-Bulkbereich des Zugriffstransistors 52 wirksam ist. Mit dem p-Typ-Bulkbereich 68 ist der Bulk-Anschluss 52d des Zugriffstransistors 52 verbunden.

Wie in Fig. 4b dargestellt ist, ist in dem p-Typ-Bulkbereich 68 angrenzend an den Grabenkondensator 54 ein Feldeffekttransistor 52 mit einem Source- 52c, Drain- 52b und einem dazwischen definierten n-Kanalbereich gebildet. In einer über dem Substratmaterial angeordneten Isolatorschicht 70 (SiO_2) ist der Gate-Anschlussbereich 52a gebildet. Wie in Fig. 5b dargestellt ist, ist ferner ein sogenannter Oberflächen-Strap-Kontakt 72 („surface strap“) gebildet, der den Source-Bereich 52c des Feldeffekttransistors 52 mit der ersten Elektrode 54a des Grabenkondensators 54 verbindet. In der Isolatorschicht 70 ist ferner der Gate-Anschluss (Steuerelektrode) 52a des Feldeffekttransistors 52 beispielsweise aus einem Polysilizium-Material gebildet, wobei der Gate-Anschluss 52a mit der Wortleitung 56 verbunden ist. Ferner ist durch die Isolatorschicht 70 hindurch eine elektrisch leitende Verbindung von der Bit-Leitung 58, die beispielsweise aus Polyzid, Wolfram oder Aluminium besteht, zu dem Drain-Anschluss 52b des Feldeffekttransistors 52 gebildet.

Wie in Fig. 4b dargestellt ist, stellt der Oberflächen-Strap-Kontakt 72 eine Verbindung zwischen einem Diffusionsgebiet, d. h. dem n-Typ-Source-Gebiet 52c des Feldeffekttransistors 52, und dem Polysilizium-Gebiet der Innenelektrode 54a des Grabenkondensators 54 her. Dieser Strap-Kontakt 72, der bei der Speicherzelle 50 zwischen dem Speichergraben 62, d. h. dem Speicherkondensator 54, und dem Zugriffstransistor 52 gebildet ist, stellt einerseits ein sehr wichtiges Verbindungselement bei Speicherzellen dar, wobei dieses Verbindungselement aber auch extrem empfindlich bei Speicherzellenanordnungen 50 herzustellen ist, und somit problematisch für die Eigenschaften der Speicherzelle ist.

Bekanntermaßen stellen Bestrebungen nach der Entwicklung immer kleinerer dynamischer Speicherzellen (DRAM-Zellen) ein wohl bekanntes Ziel auf dem Gebiet der Halbleitertechnik dar, wobei eine Optimierung der Speicherzellen sowohl hinsichtlich der Herstellungskosten als auch der Zelldichte angestrebt wird. So hat sich in den letzten Jahren wegen den Verbesserungen bei der Halbleitertechnologie die Zelldichte auf einem DRAM-Chip und gleichzeitig die Leistungsfähigkeit der Speicherelemente drastisch erhöht. Wenn aber die Zelldichte auf einem DRAM-Chip erhöht wird, ist es andererseits notwendig, die Fläche einer einzelnen Zelle so zu verringern, um eine vernünftige Chipgesamtgröße beibehalten zu können.

Aufgrund der oben angesprochenen fortschreitenden Abnahme der Strukturgrößen ergeben sich bei DRAM-Zellen jedoch zunehmend Probleme bei der Kontaktierung der Speicherzellen, wobei insbesondere eine effektive und flächensparende Kontaktierung mit den Wortleitungen und Bit-Leitungen erforderlich ist, um eine weitere Miniaturisierung von Speicherzellen zu ermöglichen.

Ausgehend von diesem Stand der Technik besteht die Aufgabe der vorliegenden Erfindung darin, eine verbesserte Speichervorrichtung mit einer Mehrzahl von Speicherzellen, die eine vereinfachte und verbesserte Kontaktierung mit Wort-

5 leitungen und Bit-Leitungen aufweisen, zu bilden, um eine weitere Abnahme der Strukturgrößen von DRAM-Speicherzellen zu ermöglichen.

Diese Aufgabe wird durch eine Speichervorrichtung gemäß Anspruch 1 und durch ein Verfahren zur Herstellung einer

10 Speichervorrichtung gemäß Anspruch 18 gelöst.

Die erfindungsgemäße Speichervorrichtung weist eine Mehrzahl von Speicherzellen auf, wobei jede Speicherzelle einen

15 in einem Halbleitersubstrat gebildeten Grabenkondensator und einen Zugriffskondensator für denselben aufweist. Jeder Zugriffskondensator weist dabei einen ersten Kontaktbereich, der mit einer inneren Elektrode des Grabenkondensators verbunden ist, einen zweiten Kontaktbereich, der mit

20 einer Bit-Leitung verbunden ist, und eine Steuerelektrodenbereich auf, wobei die Steuerelektrodenbereiche benachbarter Zugriffstransistoren durch eine in dem Halbleitersubstrat gebildete Wortleitung verbunden sind.

Bei dem erfindungsgemäßen Verfahren zur Herstellung einer Speichervorrichtung mit einer Mehrzahl von Speicherzellen wird zunächst ein Halbleitersubstrat mit einem ersten Bereich eines ersten Leitfähigkeitstyps und einem darunter-

25 liegenden zweiten Bereich eines zweiten Leitfähigkeitstyps bereitgestellt. Daraufhin wird ein Grabenkondensator in einem Graben in dem Halbleitersubstrat gebildet, wobei sich der Graben über den ersten und den zweiten Bereich in dem Halbleitersubstrat erstreckt. Schließlich wird ein

30 Zugriffstransistor, der dem Grabenkondensator zugeordnet ist, mit einem Steuerelektrodenbereich, einem Bit-Leitungskontaktbereich, einem Grabenkondensatorkontaktbereich und einem Kanalbereich gebildet, wobei der Grabenk-

35

densatorkontaktbereich des Zugriffstransistors mit dem zugeordneten Grabenkondensator verbunden ist. Schließlich wird ein hoch-dotierter Wortleitungsbereich des ersten Leitfähigkeitstyps vollständig in dem ersten Bereich des Halbleitersubstrats gebildet, so dass der Wortleitungsbereich von dem zweiten Bereich getrennt ist, wobei der Wortleitungsbereich mit dem Steuerelektrodenbereich des Zugriffstransistors verbunden ist.

10 Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, eine aus einem Grabenkondensator und einem zugeordneten Zugriffstransistor bestehende Speicherzelle für eine Speichervorrichtung, wie z. B. für einen DRAM-Speicher, derart zu modifizieren, dass die Wortleitung, mit der der Steuerelektrodenbereich des Zugriffstransistors der Speicherzelle verbunden ist, innerhalb des Halbleitersubstrats verläuft und außerhalb des Speicherzellenbereichs kontaktierbar ist, so dass im Bereich der einzelnen Speicherzelle kein nach außen geführter, zusätzlicher Kontaktbereich zum Anschluß der Wortleitung erforderlich ist. Dazu wird in der Speicherzelle ein vertikaler Transistor, vorzugsweise ein vertikaler MOSFET, in Verbindung mit einer vergrabenen Wortleitung verwendet, wobei der Steuerelektrodenbereich, d. h. dessen Gate-Anschlussbereich, des vertikalen Transistors mit dem in dem Halbleitersubstrat verlaufenden, vergrabenen Wortleitungsbereich verbunden ist.

Der Steuerelektrodenbereich des vertikalen MOSFET kann beispielsweise entweder nur in einem vorgegebenen begrenzten Bereich mit der vergrabenen Wortleitung verbunden sein, oder der Steuerelektrodenbereich des vertikalen MOSFET kann beispielsweise auch als sogenannter „Surrounded-Gate-Anschlussbereich“ ausgeführt sein, bei dem der Gate-Anschlussbereich den Kanalbereich des MOSFETs vollständig umgibt. Daher sind bei der vorliegenden Erfindung insbesondere auch sogenannte vertikale Tunnel-MOSFETs äußerst vorteilhaft einsetzbar.

Die vergrabene Wortleitung wird erfindungsgemäß durch ein hochdotiertes Gebiet in dem Halbleitersubstrat definiert, das beispielsweise durch bekannte Implantationsverfahren in dem Halbleitersubstrat gebildet wird.

Da zur Herstellung eines DRAM-Speicherzellenchips eine sehr große Anzahl von Speicherzellen mit den entsprechenden Bit-Leitungen und Wortleitungen in bzw. auf dem Halbleitersubstrat integriert werden muss, können mit der erfindungsgemäßen Speicherzellenanordnung, die einen Grabenkondensator und einen vertikalen Zugriffstransistor aufweist, in Kombination mit einer vergrabenen Wortleitung die sich aufgrund der fortschreitenden Abnahme der Strukturgrößen zunehmend ergebenden Probleme bei der Kontaktierung der einzelnen Speicherzellen gelöst werden.

Somit ist es durch die erfindungsgemäße Speichervorrichtung möglich, die Größe eines aus einer Vielzahl von einzelnen Speicherzellen bestehenden DRAM-Zellenfeldes deutlich zu reduzieren, indem die Kontaktierung der einzelnen Speicherzellen durch das Vorsehen der vergrabenen Wortleitung vereinfacht wird. Dies stellt auf dem Gebiet der DRAM-Speicherzellentechnologie einen großen Fortschritt dar, da die Miniaturisierung von Halbleiterbauelementen eines der Hauptziele bei technischen Weiterentwicklungen auf dem Gebiet der Halbleiterelektronik ist.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend Bezug nehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Schnittansicht einer erfindungsgemäßen Speichervorrichtung mit einer Mehrzahl von Speicherzellen gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 2 eine Draufsicht auf die erfindungsgemäße Speichervorrichtung mit einer Mehrzahl von Speicherzellen gemäß dem ersten Ausführungsbeispiel der vorliegenden Erfindung;

5

Fig. 3a-b zwei Zwischenzustände des erfindungsgemäßen Herstellungsverfahrens einer Speichervorrichtung mit einer Mehrzahl von Speicherzellen;

10 Fig. 4a-b eine dynamische Speicherzelle mit Grabenkondensator und dem elektrischen Ersatzschaltbild derselben gemäß dem Stand der Technik;

15 Fig. 5a-b Prinzipdarstellungen eines vertikalen MOSFETs und eines Tunneltransistors gemäß dem Stand der Technik.

20 Bezug nehmend auf die Fig. 1 und 2 wird nun ein erstes bevorzugtes Ausführungsbeispiel einer Speichervorrichtung 10 mit einer Mehrzahl von Speicherzellen 12 detailliert erläutert.

25 In Fig. 1 sind mehrere Speicherzellen 12 dargestellt, wobei zwei Speicherzellen in einer Schnitt- bzw. Seitenansicht und zwei weitere Speicherzellen in einer Draufsicht dargestellt sind.

30 Die Speicherzelle 12 ist in einem Halbleitersubstrat 14 gebildet, das vorzugsweise ein p-Typ-Halbleiterausgangsmaterial 14a aufweist. In dem Halbleitersubstrat 14 ist ferner ein erster Bereich 14b eines ersten Leitfähigkeitstyps, vorzugsweise eines p-Leitfähigkeitstyps, und ein darunter liegender zweiter Bereich 14c eines zweiten Leitfähigkeitstyps, vorzugsweise eines n-Leitfähigkeitstyps, gebildet. In dem Halbleitersubstrat 14 ist ferner ein Grabenspeicherkondensator 16 in ei-

35

nem Graben in dem Halbleitersubstrat 14 gebildet, wobei sich der Graben über den ersten und zweiten Bereich 14b, 14c des Halbleitersubstrats 14 erstreckt.

- 5 Jeder Grabenkondensator 16 weist einen Signalspeicherbereich 16a und einen Referenzspannungsbereich 16b auf, die durch einen elektrischen Isolator 16c voneinander getrennt sind. Der Referenzspannungsbereich 16b des Grabenkondensators 16 ist mit dem zweiten Bereich 14c des Halbleitersubstrats 14 verbunden bzw. ist durch den zweiten Bereich 14c des Halbleitersubstrats 14 gebildet. Der Signalspeicherbereich 16a des Grabenkondensators 16 ist vorzugsweise durch ein hochdotiertes Halbleitermaterial, wie z. B. ein n^+ -Typ-Silizium, oder durch ein leitfähiges Polysilizium-Material gebildet, wobei im wesentlichen beliebige geeignete leitfähige Materialien für den Signalspeicherbereich 16a verwendet werden können.

- Über dem Grabenkondensator 16 ist ein Zugriffstransistor 18 gebildet, der dem Grabenkondensator (Signalspeicherkondensator) 16 zugeordnet ist. Der Zugriffstransistor 18 weist einen Steuerelektrodenbereich 18a mit einem Steuerelektrodenoxibereich 18b, einen Bit-Leitungskontaktbereich 18c, einen Grabenkondensatorkontaktbereich 18d und einen Kanalbereich 18e auf, wobei der Grabenkondensatorkontaktbereich 18d des Zugriffstransistors 18 mit dem Signalspeicherbereich 16a des zugeordneten Grabenkondensators 16 verbunden ist.

- 30 Wie in Fig. 1 ersichtlich ist, ist ferner ein Wortleitungsbereich 14d, der vorzugsweise eine relativ hohe Dotierung des n-Leitfähigkeitstyps aufweist, vollständig in dem ersten Bereich 14b des Halbleitersubstrats 14 gebildet.

- 35 Da sich der hochdotierte Wortleitungsbereich 14d vollständig in dem ersten Bereich 14b des Halbleitersubstrats 14 gebildet ist, ist der hochdotierte Wortleitungsbereich 14d

von dem zweiten Bereich 14c des Halbleitersubstrats 14 räumlich und elektrisch getrennt. Ferner wird aus Fig. 1 deutlich, dass der Wortleitungsbereich 14d mit dem Steuerelektrodenbereich 18a des Zugriffstransistors 18 verbunden ist, bzw. der Steuerelektrodenbereich 18a des Zugriffstransistors durch den Abschnitt des vergrabenen hochdotierten Wortleitungsbereichs 14d gebildet wird, der an den Steuerelektrodenoxidbereich 18d des Zugriffstransistors 18 angrenzt.

10

Bei dem in Fig. 1 dargestellten Ausführungsbeispiel ist der Zugriffstransistor ein vertikaler Tunneltransistor, wobei der Bit-Leitungskontaktbereich 18c ein Metallbereich, der Kanalbereich 18e ein Metalloxidbereich, und der Grabenkondensatorkontaktbereich 18d ein Metallbereich ist. Der Steuerelektrodenbereich 18a in Verbindung mit dem Steuerelektrodenoxidbereich 18b ist vorzugsweise der Gate-Anschlussbereich des Transistors. Eine Prinzipdarstellung eines bekannten Tunneltransistors ist beispielhaft in Fig. 5b dargestellt, wobei ein solcher Tunneltransistor beispielsweise in der wissenschaftlichen Veröffentlichung „Dependence of gate control on the aspect ratio in metal/metal-oxide/metal tunnel transistors“ von F. A. Buot u. a. in Journal of Applied Physics, Bd. 84, Nr. 2, S. 1133-1139, 15 Juli 1998, ausführlich beschrieben ist.

Es sollte jedoch offensichtlich sein, dass anstelle eines Tunneltransistors, wie er in Fig. 1 dargestellt ist, auch jegliche sonstige vertikale Feldeffekttransistoren, wie z. B. vertikale MOSFETs, erfindungsgemäß eingesetzt werden können. Es ist lediglich wesentlich, dass der Steuerelektrodenbereich 18b des verwendeten Transistors mit dem vergrabenen Wortleitungsbereich 14d verbunden bzw. kontaktiert ist. Eine Prinzipdarstellung eines bekannten vertikalen MOSFETs ist beispielhaft in Fig. 5a dargestellt.

Wie in Fig. 1 ferner dargestellt ist, ist zwischen dem Zugriffstransistor 18, d. h. dem Grabenkondensatorkontaktbereich 18d des Zugriffstransistors 18, und dem Signalspeicherbereich 16a des Grabenkondensators 16 ein sogenannter Oxidkragen (collar) angeordnet, so dass eine durch den Oxidkragen 20 verringerte Kontaktfläche zwischen dem Grabenkondensatorkontaktbereich 18b und dem Signalspeicherbereich 16a vorliegt.

Wie aus Fig. 1 ferner ersichtlich ist, ist der Bit-Leitungskontaktbereich 18c jedes Zugriffstransistors 18 mit einer zugeordneten Bit-Leitung 22 verbunden.

Ferner ist in Fig. 1 eine sogenannte flache Grabenisolierung 24 (STI; STI = shallow trench isolation) dargestellt, die optional vorgesehen ist, damit die Mehrfachanordnung von Speicherzellen in den tiefen Gräben von einem Isolationsbereich umgeben ist, und die Speicherzellen 12 so elektrisch voneinander isoliert sind.

Wie bereits oben angegebenen ist, ist der Zugriffstransistor 18 vorzugsweise ein Feldeffekttransistor mit einem Kanalbereich 18e, wobei der Steuerelektrodenbereich 18a des Zugriffstransistors 18 und damit der vergrabene Wortleitungsbereich 14c durch die Oxidschicht 18b (Gate-Oxidschicht = GOX) von dem Kanalbereich 18e des Zugriffstransistors 18 getrennt ist. Die Schichtdicke der Oxidschicht 18b liegt beispielsweise in einem Bereich von 0,5 bis 15 nm und vorzugsweise in einem Bereich von 3 bis 6 nm. Als Material für die Oxidschicht wird beispielsweise ein SiO_2 -Material verwendet werden, wobei abhängig von dem jeweils gewählten Aufbau des Zugriffstransistors beliebige geeignete Isolationsmaterialien mit geeignet gewählten Schichtdicken eingesetzt werden können.

Wie bereits angesprochen, ist der Zugriffstransistor 18 vorzugsweise als ein vertikaler Feldeffekttransistor ausge-

bildet, wobei zumindest der Kanalbereich 18e des Transistors 18 in dem Graben in dem Halbleitersubstrat 14 gebildet ist, so dass die vergrabene Wortleitung 14d über den Steuerelektrodenbereich 18a des Zugriffstransistors wirksam den Kanalbereich 18e ansteuern kann. Ausgehend von der technischen Realisierung des verwendeten Feldeffekttransistors kann sich der Steuerelektrodenbereich 18a des Feldeffekttransistors auf nur einer Seite bzw. Bereiche des Grabens befinden, wobei es auch möglich ist auf mehreren Seiten des Grabens den Steuerelektrodenbereich 18b des Zugriffstransistors 18 vorzusehen. Umgibt der Steuerelektrodenbereich 18a mit der Gate-Oxidschicht 18b den Kanalbereich 18e des Zugriffstransistors 18 vollständig, spricht man von einem sogenannten „Surrounded-Gate-Anschluss“.

Der in Fig. 1 dargestellte Zugriffstransistor 18 ist als ein sogenannter Tunneltransistor ausgeführt, wie er beispielsweise in der oben zitierten, wissenschaftlichen Veröffentlichung im „Journal of Applied Physics“ dargestellt ist. Es sollte aber ersichtlich sein, dass im wesentlichen jegliche Transistoren, d. h. vorzugsweise vertikale MOS-FETs, eingesetzt werden können, um die Funktion des Zugriffstransistors 18 zu übernehmen, wobei lediglich sichergestellt sein muss, dass der Steuerelektrodenbereich des jeweiligen Transistors durch die vergrabene Wortleitung 14d in dem Halbleitersubstrat ansteuerbar ist.

Die vergrabene Wortleitung 14d in dem Halbleitersubstrat 14, die vorzugsweise eine hohe n-Typ-Dotierung zur Verringerung des Leitungswiderstands aufweist, wird vorzugsweise durch ein Implantationsverfahren in dem ersten Bereich 14b des Halbleitersubstrats 14 gebildet, wobei dieser Bereich 14b, wie bereits angesprochen, vorzugsweise eine p-Typ-Dotierung aufweist.

Wie in Fig. 1 und in Verbindung mit Fig. 2 deutlich wird, kann eine Vielzahl von einzelnen Speicherzellen 12 zu einem

Speicherzellenfeld eines DRAM-Speicherchips zusammengefasst werden, wobei dann aufgrund der vergrabenen Wortleitungen 14d ermöglicht wird, dass die Wortleitungsbereiche 14d außerhalb der einzelnen Speicherzellen 12 kontaktierbar sind.

5

Damit kann auch in Zukunft bei einer immer weiter fortschreitenden Abnahme der Strukturgrößen von Speicherlementen die Kontaktierung der einzelnen Speicherzellen 12 der DRAM-Speichervorrichtung 10 mit den jeweiligen Wort- und Bit-Leitungen realisiert werden, indem erfindungsgemäß eine innerhalb des Halbleitersubstrats verlaufende, vergrabene Wortleitung eingesetzt wird, die außerhalb der Speicherzelle kontaktierbar ist.

15 Durch die erfindungsgemäße Anordnung einer Speichervorrichtung mit einer Mehrzahl von Speicherzellen in Verbindung mit einer vergrabenen Wortleitung kann nun ein Speicherzellenfeld mit reduzierter Größe realisiert werden.

20 So wird üblicherweise bei einer DRAM-Speicheranordnung eine Vielzahl von Speicherzellen 12 zu einem Speicherzellenfeld zusammengefasst, wobei das Speicherzellenfeld dann eine große Anzahl von parallelen Wortleitungen 14d und eine große Anzahl von parallelen Bit-Leitungen 22 aufweist, die
25 senkrecht zueinander, d. h. in Matrixform, spalten- bzw. zeilenmäßig angeordnet sind, wobei die einzelnen Speicherzellen 12 an den Kreuzungen der Wortleitungen 14d und der Bit-Leitungen 22 gebildet sind. Im allgemeinen ist ein Ende jeder Wortleitung 22 mit einem Zeilendecodierer und ein Ende jeder Bit-Leitung mit einem Leseverstärker und ferner
30 einem Spaltendecodierer verbunden.

Im Betrieb wird eine bestimmte Speicherzelle 12 ausgewählt, indem der Zeilendecodierer eine der Wortleitungen 14d auf
35 der Basis eines externen Adressensignals auswählt, und indem der Spaltendecodierer eine der Bit-Leitungen 22 auf der Basis eines externen Adressensignals auswählt, wobei damit

diejenige Speicherzelle 12 ausgewählt wird, die sich an dem Kreuzungspunkt der ausgewählten Wortleitung 14d und Bit-Leitung 22 befindet. Entsprechend dieser Auswahloperation der Speicherzelle 12 wird dann eine in dem Grabenkondensator 16 der Speicherzelle 12 gespeicherte Ladung ausgelesen oder es werden Daten in Form von Ladung in den Grabenkondensator 16 geschrieben. Bei der Leseoperation von Daten aus der Speicherzelle 12 wird die in dem Grabenkondensator 16 der ausgewählten Speicherzelle 12 gesammelte Ladung von dem Leseverstärker erfasst und vor dem Lesen verstärkt.

Im folgenden wird nun anhand der Fig. 3a und 3b ein bevorzugtes Verfahren zur Herstellung einer erfindungsgemäßen Speichervorrichtung mit einer Mehrzahl von Speicherzellen beschrieben.

Als Ausgangspunkt des erfindungsgemäßen Herstellungsverfahrens einer Speichervorrichtung mit einer Mehrzahl von Speicherzellen 12 liegt eine Standard-Grabenzelle 15 nach der Herstellung des Oxidkragens 20 vor, wie dies in Fig. 3 dargestellt ist.

Im folgenden werden nun die einzelnen Verfahrensschritte zur Herstellung der Speicherzelle 12 von Fig. 1 dargestellt, die den vertikalen Zugriffstransistor 18 in Verbindung mit der vergrabenen Wortleitung 14d aufweist.

Als erstes wird in dem Graben 15 eine thermische Gateoxid-Schicht mit einer Filmdicke von beispielsweise 0,5 bis 15nm und vorzugsweise mit einer Filmdicke in einem Bereich von 3 nm bis 6 nm aufgewachsen, wobei diese Oxidschicht später als der Steuerelektrodenoxidbereich 18d wirksam ist. Daraufhin wird ein Kontakt zu dem Signalspeicherbereich 16a des Grabenkondensators 16 freigeätzt, wobei das Material des Signalspeicherbereichs 16a beispielsweise ein Trench-Polysiliziummaterial oder auch ein hoch-dotiertes Siliziummaterial ist.

Daraufhin wird der Graben 15 mit einem Metall, wie z. B. Nb oder Ti, aufgefüllt. Das Metall wird daraufhin selektiv zurückgeätzt, um den Grabenkondensatorkontaktbereich 18d des Zugriffstransistors 18 zu erhalten. Daraufhin wird eine Oxidation vorgenommen, um die Metalloxidschicht 18e herzustellen, die den Kanalbereich des Transistors aufweist. Schließlich wird der verbleibende Teil des Grabens 15 wieder mit dem Metall aufgefüllt, um den Bit-Leitungskontaktbereich 18c der Tunneltransistorstruktur 18 zu erhalten.

Somit ergibt die in Fig. 4 dargestellte Anordnung der Schichtenfolge aus dem Metallbereich 18d, dem Metalloxidbereich 18e und dem Metallbereich 18c den Zugriffstransistor 18 in Form des Grabenkondensatorkontaktbereichs 18d, der Oxidschicht 18b und des Bit-Leitungskontaktbereichs 18c des Tunneltransistors 18.

Durch die in Fig. 3b dargestellte Anordnung ist nun der Kanalbereich in dem Metalloxid 18e des vertikalen Tunnel-MOSFETs 18 definiert.

Im folgenden wird nun die sogenannte vergrabene Platte 14c (buried plate, zweiter Bereich 14c in dem Substratmaterial 14) durch eine Implantation gebildet, wobei diese vergrabene Platte 14c die zweite Kondensatorplatte 54b des Grabenkondensators 54 darstellt und somit die Speicherzelle 12 von außen kontaktiert. Die vergrabene Platte 14c weist vorzugsweise eine n-Typ-Leitfähigkeit auf. Die vergrabene Platte 14c bildet also den Grabenkondensatorkontaktbereich 16b des Grabenkondensators 16 und folglich die zweite Kondensatorplatte 54b des Grabenkondensators 54.

Daraufhin wird durch einen weiteren Implantationsvorgang der erste Bereich 14b (p-Typ-Leitfähigkeit) in dem Halbleitersubstrat über der vergrabenen Platte 14c gebildet. Der

erste Bereich 14b ist als eine sogenannte p-Wannen-Isolation wirksam und koppelt die Speicherzelle in der Höhe des Oxidkragen 20 elektrisch ab.

- 5 Im folgenden werden nun explizit die neuen, zusätzlichen Prozessschritte zur Herstellung der vergrabenen Wortleitung 14d erläutert.

10 Es wird auf das Halbleitersubstrat 14 eine Maskenschicht aufgebracht, die diejenigen Bereiche vorgibt (z. B. offen lässt), in denen die vergrabene Wortleitung 14d in dem Halbleitersubstrat 14 liegen soll. Daraufhin wird ein Implantationsvorgang, d. h. eine flache Implantation von beispielsweise Arsen oder einem anderen geeigneten Dotierungsmaterial, durchgeführt, um die vergrabene(n) Wortleitung(en) 14d in dem Halbleitersubstrat 14 zu bilden.

Im Anschluss daran wird optional eine Oxidation der Oberfläche des Halbleitersubstrats 14 durchgeführt, um die STI-Schicht 24 (Grabenisolationsschicht) zu erhalten. Schließlich wird eine Kontaktätzung durch diese Isolationsschicht 24 auf die Metallkontakte 18c (d. h. die Bit-Leitungskontaktbereiche 18c des Zugriffstransistors 18) durchgeführt, woraufhin bei einem weiteren Schritt die Bit-Leitungen 22 mit den Bit-Leitungskontaktbereichen 18c der Zugriffstransistoren 18 verbunden werden.

Es sollte beachtet werden, dass im vorhergehenden das Herstellungsverfahren einer Speichervorrichtung mit einer Mehrzahl von Speicherzellen lediglich beispielhaft im Zusammenhang mit den Verfahrensschritten zur Herstellung eines Tunneltransistors beschrieben wurde. Es sollte offensichtlich sein, dass im wesentlichen jegliche Transistorstrukturen, d. h. vorzugsweise vertikale MOSFETs, eingesetzt werden können, um die Funktion des Zugriffstransistors 18 zu übernehmen, wobei lediglich sichergestellt sein muss, dass der Steuerelektrodenbereich des jeweiligen Tran-

sistors durch die vergrabene Wortleitung 14d in dem Halbleitersubstrat ansteuerbar ist.

5 Ferner sollte beachtet werden, dass die beschriebenen jeweiligen Leitfähigkeitstypen der verwendeten Halbleitermaterialien lediglich als beispielhafte bzw. bevorzugte Ausführungen anzusehen sind, um die erfindungsgemäße Speichervorrichtung zu realisieren.

10

Patentansprüche

1. Speichervorrichtung (10) mit einer Mehrzahl von Speicherzellen (12), wobei jede Speicherzelle (12) einen in einem Halbleitersubstrat (14) gebildeten Grabenkondensator (16) und einen Zugriffstransistor (18) für denselben aufweist, wobei jeder Zugriffstransistor (18) einen ersten Kontaktbereich (18d), der mit einer inneren Elektrode (16a) des Grabenkondensators (16) verbunden ist, einen zweiten Kontaktbereich (18c), der mit einer Bit-Leitung (22) verbunden ist, und einen Steuerelektrodenbereich (18a) aufweist, wobei die Steuerelektrodenbereiche (18a) benachbarter Zugriffstransistoren (18) durch eine in dem Halbleitersubstrat (14) gebildete Wortleitung (14d) verbunden sind.
2. Speichervorrichtung nach Anspruch 1, wobei der Grabenkondensator (16) in einem Graben (15) in dem Halbleitersubstrat (14) gebildet ist, wobei das Halbleitersubstrat (14) einen ersten Bereich (14b) mit einem ersten Leitfähigkeitstyp und einen darunter liegenden, zweiten implantierten Bereich (14c) eines zweiten Leitfähigkeitstyps aufweist, wobei sich der Graben (15) der Speicherzelle (12) über den ersten und zweiten Bereich (14b, 14c) erstreckt.
3. Speichervorrichtung nach Anspruch 1 oder 2, bei der der Zugriffstransistor (18) ein Feldeffekttransistor mit einem Kanalbereich (18e) ist, wobei der Steuerelektrodenbereich (18a) des Zugriffstransistors (18) eine Oxidschicht (18b) aufweist, die den Kanalbereich (18e) des Zugriffstransistors (18) von dem Steuerelektrodenbereich (18a) trennt.
4. Speichervorrichtung nach Anspruch 3, bei der die Schichtdicke der Steuerelektrodenoxidschicht (18b) in einem Bereich von 0,5 bis 15 nm liegt, und vorzugsweise einen Bereich von 3 bis 6 nm aufweist.

5. Speichervorrichtung nach Anspruch 3 oder 4, bei der die Steuerelektrodenoxidschicht (18b) ein SiO_2 -Material aufweist.
- 5 6. Speichervorrichtung nach einem der Ansprüche 1 bis 5, bei der der Zugriffstransistor (18) ein vertikaler Feldeffekttransistor ist.
- 10 7. Speichervorrichtung nach Anspruch 6, wobei der Kanalbereich (18e) des vertikalen Feldeffekttransistors (18) in dem Graben (15) der Speicherzelle (12) gebildet ist.
- 15 8. Speichervorrichtung nach Anspruch 6 oder 7, bei der der Steuerelektrodenbereich (18a) vollständig den Kanalbereich (18e) des Zugriffstransistors (18) umgibt.
- 20 9. Speichervorrichtung nach einem der vorhergehenden Ansprüche, bei der der Zugriffstransistor (18) ein Tunneltransistor ist.
- 25 10. Speichervorrichtung nach einem der vorhergehenden Ansprüche, bei der die Wortleitung (14d) ein in dem Halbleitersubstrat (14) vergrabener, hochdotierter Bereich (14d) ist.
- 30 11. Speichervorrichtung nach Anspruch 10, wobei die Wortleitung (14d) ein hochdotierter Bereich des zweiten Leitfähigkeitstyps ist, der vollständig in dem ersten Bereich (14b) des Halbleitersubstrats (14) gebildet und von demselben umgeben ist, und von dem zweiten Bereich (14c) mittels des ersten Bereichs (14b) getrennt ist.
- 35 12. Speichervorrichtung nach Anspruch 10 oder 11, wobei der hochdotierte Wortleitungsbereich (14d) mit dem Steuerelektrodenbereich (18a) des Zugriffstransistors (18) verbunden ist.

13. Vorrichtung nach Anspruch 11 oder 12, wobei der erste Bereich (14b), der zweite darunter liegende Bereich (14c) und der hochdotierte Wortleitungsbereich (14d) mittels einer Implantation in dem Halbleitersubstrat (14) gebildet sind.

14. Speichervorrichtung nach einem der vorhergehenden Ansprüche, bei der der hochdotierte Wortleitungsbereich (14d) außerhalb der Speicherzelle (12) kontaktierbar ist.

15. Speichervorrichtung nach einem der vorhergehenden Ansprüche, bei dem eine Vielzahl von Speicherzellen (12) zu einem Speicherzellenfeld zusammenfassbar sind.

16. Speichervorrichtung nach einem der vorhergehenden Ansprüche, wobei der erste Leitfähigkeitstyp ein p-Leitfähigkeitstyp und der zweite Leitfähigkeitstyp ein n-Leitfähigkeitstyp ist.

17. Speichervorrichtung nach einem der Ansprüche 1 bis 15, bei der der erste Leitfähigkeitstyp ein n-Leitfähigkeitstyp und der zweite Leitfähigkeitstyp ein p-Leitfähigkeitstyp ist.

18. Verfahren zur Herstellung einer Speichervorrichtung (10) mit einer Mehrzahl von Speicherzellen (12), mit folgenden Schritten:

Bereitstellen eines Halbleitersubstrats (14);

30

Bilden eines Grabens (15) in dem Halbleitersubstrat (14);

Bilden eines Signalspeicherkondensators (16) in dem Graben (15) in dem Halbleitersubstrat (14);

35

Bilden eines Zugriffstransistors (18) über dem Signalspeicherkondensator (16) in dem Graben (15), wobei der

Zugriffstransistor (18) einen ersten Kontaktbereich (18d),
der mit einer inneren Elektroden (16a) des Signalspeicher-
kondensators (16) verbunden ist, einen zweiten Kontaktbe-
reich (18c), der mit einer Bit-Leitung (22) verbunden ist,
5 und einen Steuerelektrodenbereich (18a) aufweist, und

Bilden eines hochdotierten Wortleitungsbereichs (14d) in
dem Halbleitersubstrat (14), wobei der Steuerelektrodenbe-
reich (18a) des Zugriffstransistors (18) mit dem hochdo-
10 tierten Wortleitungsbereich (14d) verbunden ist.

19. Verfahren nach Anspruch 18, bei dem der Schritt des
Bildens des Zugriffstransistors (18) ferner folgende
Schritte aufweist:

15

Aufwachsen eines thermischen Steuerelektrodenoxids (18b);

Freiätzen eines Kontakts zu der inneren Elektrode (16a) des
Signalspeicherkondensators (16);

20

Auffüllen des Grabens (15) mit einem Metallmaterial;

selektives Zurückätzen des Metallmaterials, um den Metall-
bereich (18d) zu erhalten;

25

Durchführen einer Oxidation auf dem Metallbereich (18d), um
eine Oxidschicht (18e) zu erhalten; und

Auffüllen des Grabens mit Metallmaterial, um einen weiteren
30 Metallbereich (18c) zu erhalten.

35

20. Verfahren nach Anspruch 18 oder 19, bei dem der Schritt
des Bildens des Signalspeicherkondensators (16) ferner fol-
gende Schritte aufweist:

Implantieren eines ersten Bereichs (14b) eines ersten Leit-
fähigkeitstyps in dem Halbleitersubstrat (14), und

Implantieren eines darunter liegenden zweiten Bereichs (14c) eines zweiten Leitfähigkeitstyps in dem Halbleitersubstrat (14).

5

21. Verfahren nach einem der Ansprüche 18 bis 20, bei dem der Schritt des Bildens des hochdotierten Wortleitungsbereichs (14d) ferner folgende Schritte aufweist:

10 Aufbringen einer Maske auf dem Halbleitersubstrat (14), um Bereiche vorzugeben, in denen der vergrabene Wortleitungsbereich (14d) gebildet werden soll;

15 Implantieren eines Dotiermaterials in das Halbleitersubstrat (14), um den vergrabenen Wortleitungsbereich (14d) zu bilden;

Oxidieren der Substratoberfläche, um eine Oberflächenoxidationsschicht (24) zu erhalten;

20

Kontaktätzen durch die Oberflächenoxidationsschicht (24) zu den Metallbereichen (18c).

25 22. Verfahren nach einem der Ansprüche 18 bis 21, wobei das Metall ein Nb-Material und/oder ein Ti-Material aufweist.

23. Verfahren nach einem der Ansprüche 18 bis 22, bei dem die Speichervorrichtung eine DRAM-Speichervorrichtung ist.

Zusammenfassung

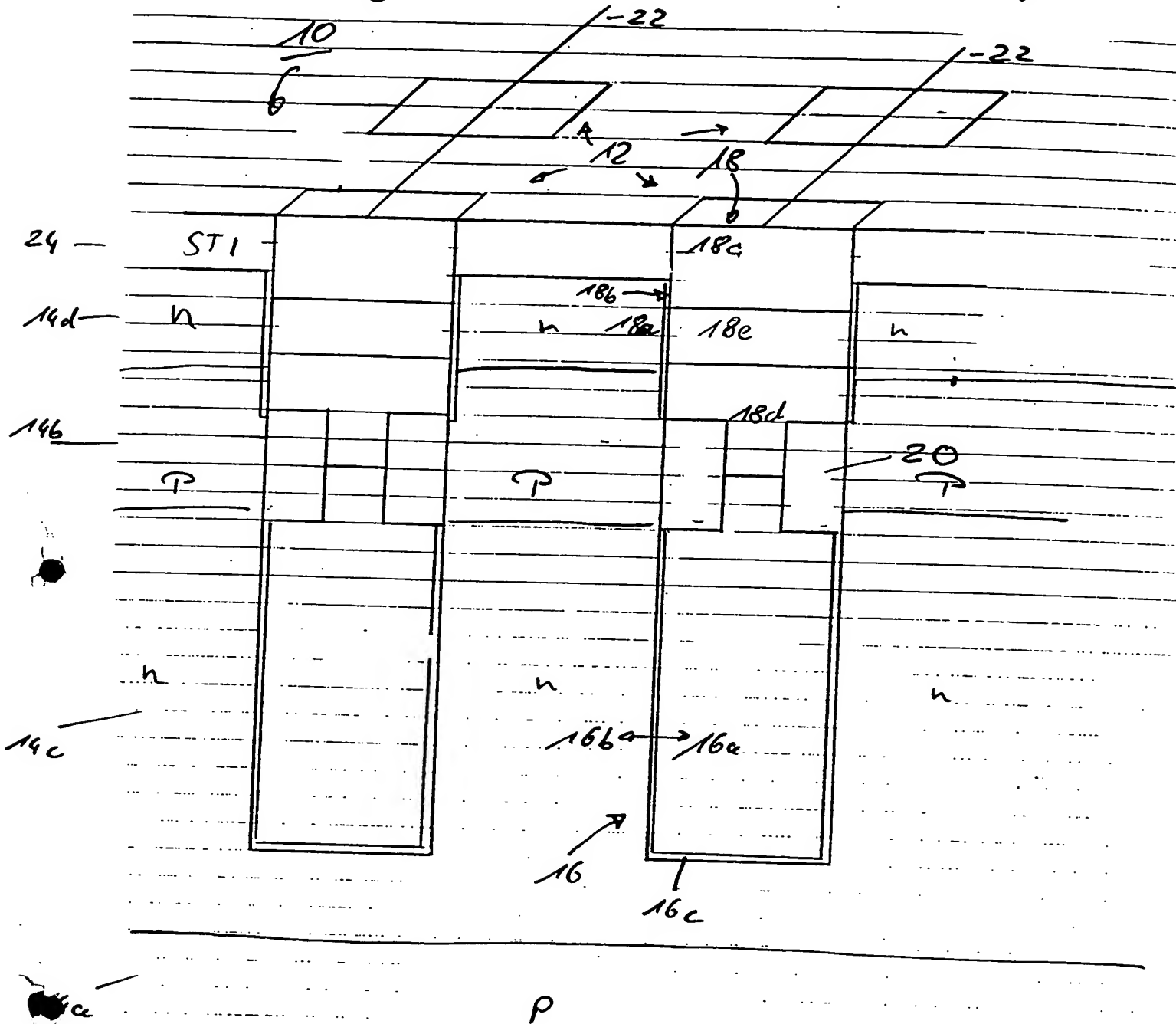
Dynamische Speicherzelle und Verfahren zur Herstellung derselben

5

Eine Speichervorrichtung (10) weist eine Mehrzahl von Speicherzellen (12) auf, wobei jede Speicherzelle (12) einen in einem Halbleitersubstrat (14) gebildeten Grabenkondensator (16) und einen Zugriffstransistor (18) für denselben aufweist. Jeder Zugriffstransistor (18) weist einen ersten Kontaktbereich (18d), der mit einer inneren Elektrode (16a) des Grabenkondensators (16) verbunden ist, einen zweiten Kontaktbereich (18c), der mit einer Bit-Leitung (22) verbunden ist, und einen Steuerelektrodenbereich (18a) auf, wobei die Steuerelektrodenbereiche (18a) benachbarter Zugriffstransistoren (18) durch eine in dem Halbleitersubstrat (14) gebildete Wortleitung (14d) verbunden sind.

20 Fig. 1

Figur zur Zusammenfassung



↑
14

Fig. 1

Bezugszeichenliste

	10	Speichervorrichtung
5	12	Speicherzelle
	14	Halbleitersubstrat
	14a	p-Typ-Halbleiterausgangsmaterial
	14b	erster Substratbereich
	14c	zweiter Substratbereich
10	14d	vergrabene Wortleitung
	15	Graben
	16	Grabenkondensator
	16a	Speicherspeicherbereich
	16b	Referenzspannungsbereich
15	16c	Isolationsschicht
	18	Zugriffstransistor
	18a	Steuerelektrodenbereich
	18b	Steuerelektrodenoxidbereich
	18c	Bit-Leitungskontaktbereich
20	18d	Grabenkondensatorkontaktbereich
	18e	Kanalbereich
	20	Oxidkragen
	22	Bitleitung
	24	Oberflächenisolationsschicht

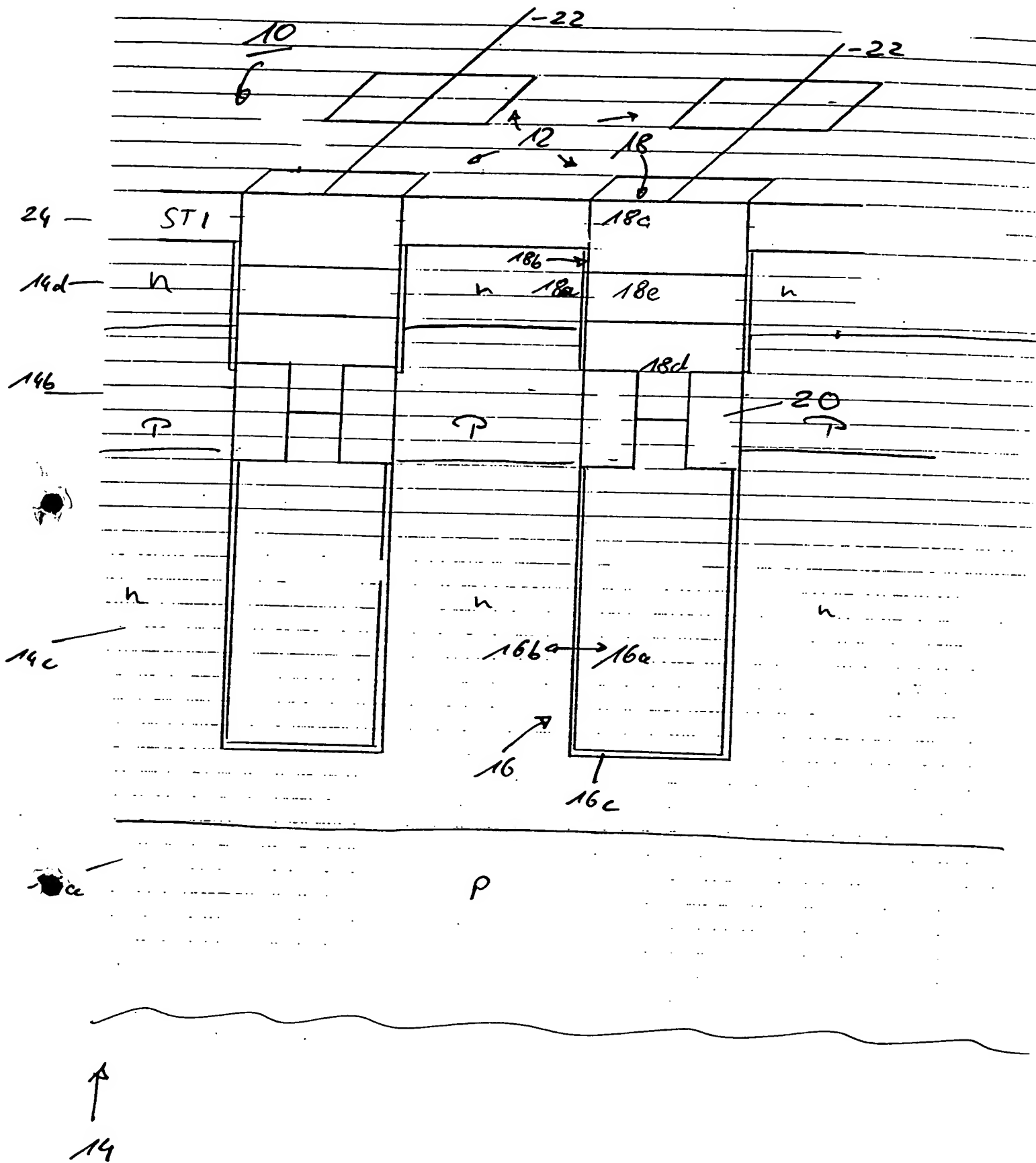


Fig. 1

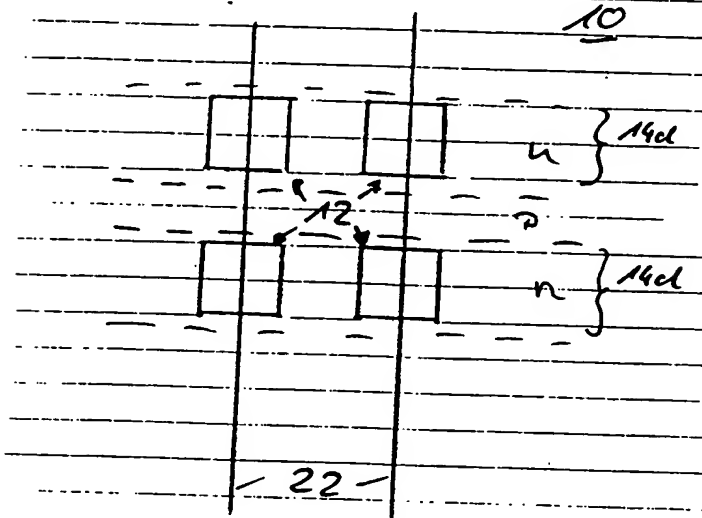


Fig. 2

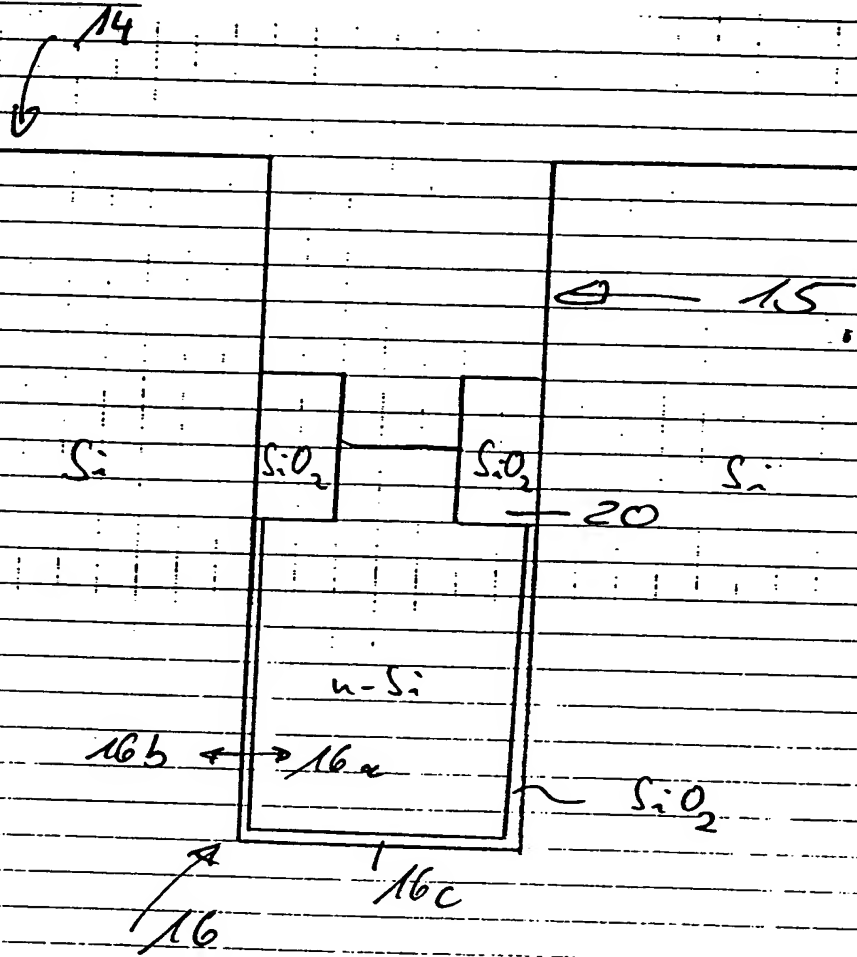


Fig. 3a

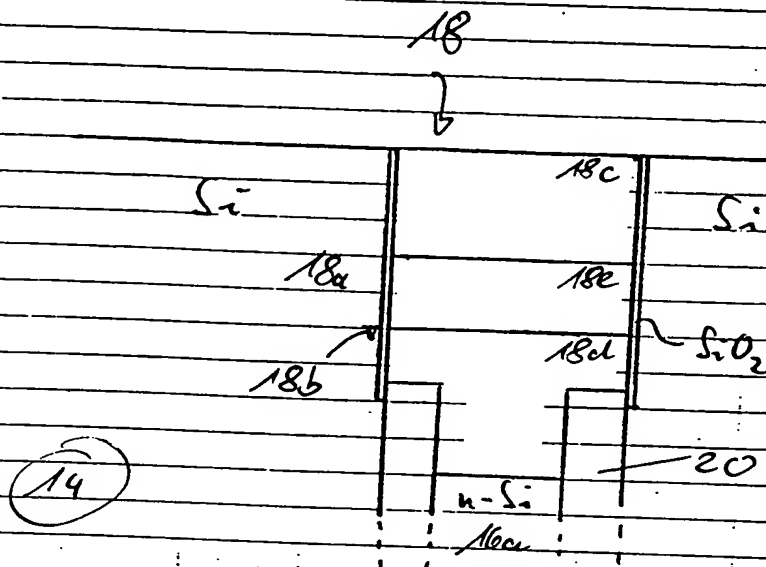
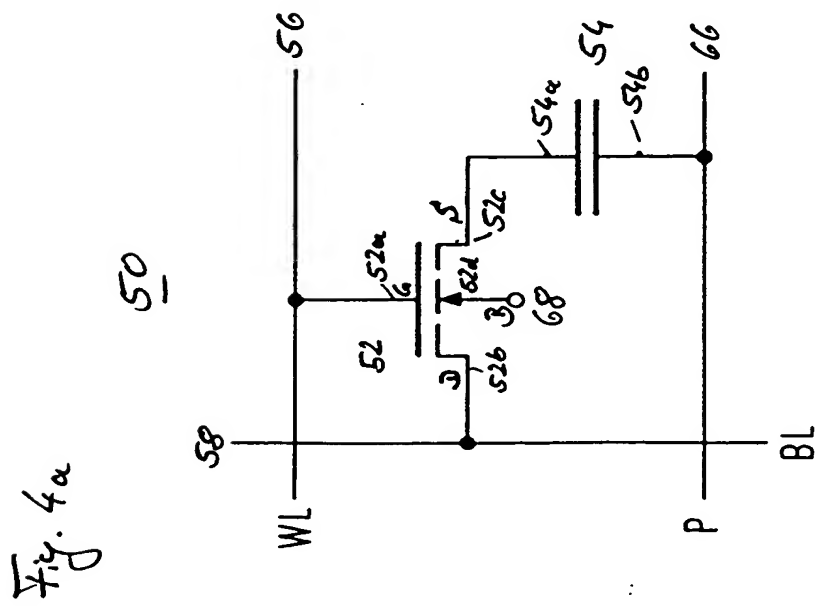


Fig. 3b

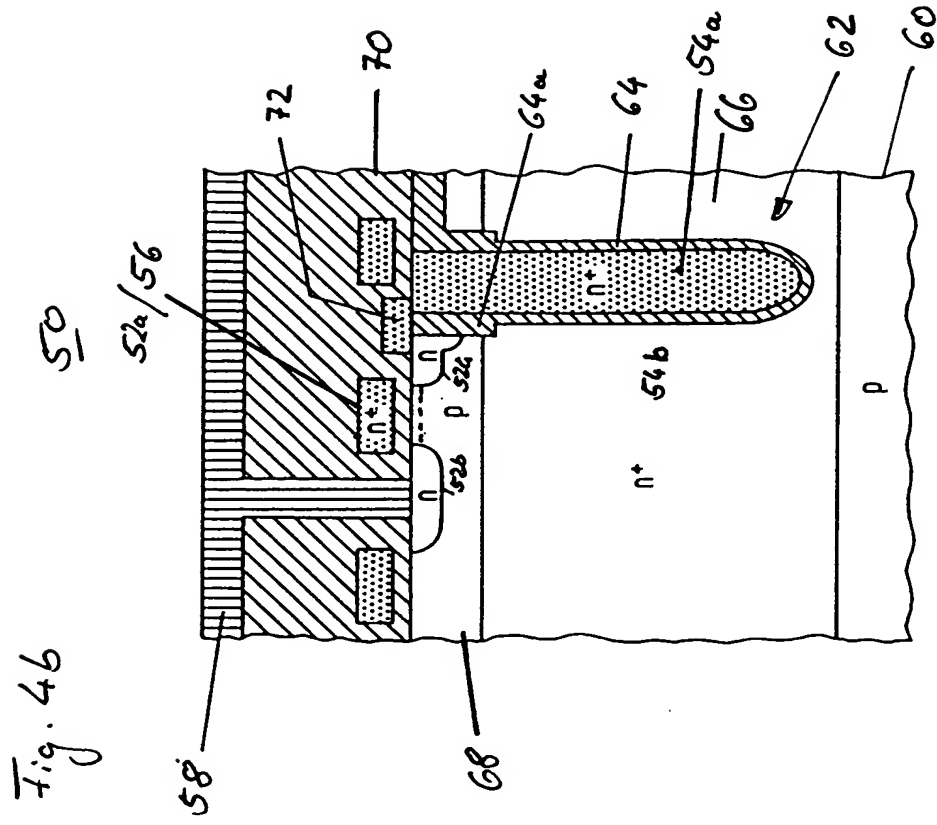


WL = Wortleitung

BL = Bitleitung

P = Gemeinsame

Kondensatorplatte



vertikaler MOSFET:

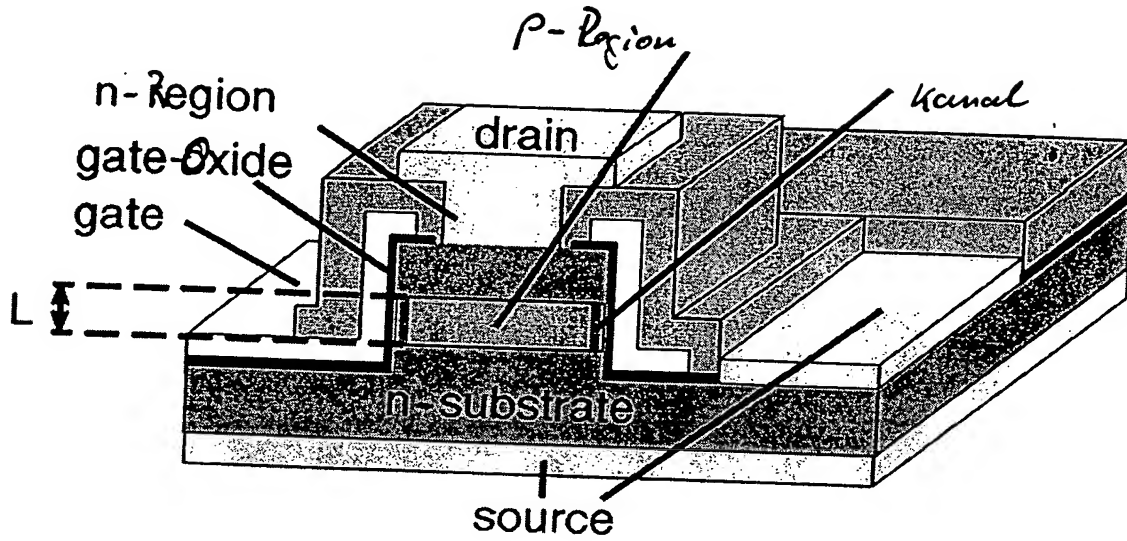


Fig. 5a

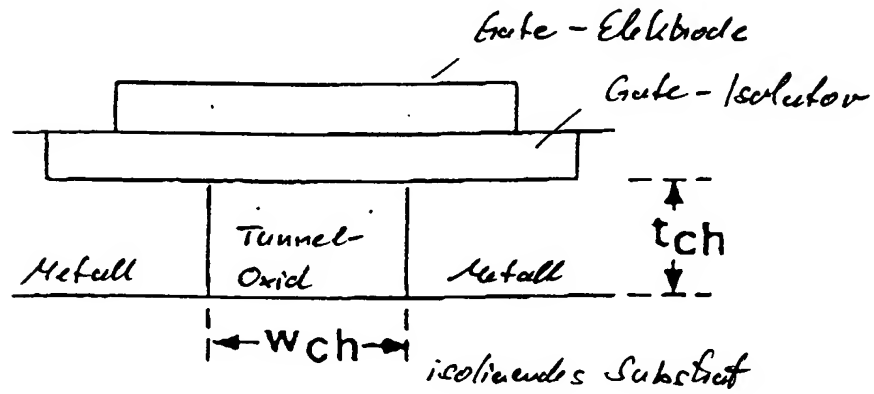


Fig. 5b